

MANUFACTURE OF SEMICONDUCTOR DEVICE

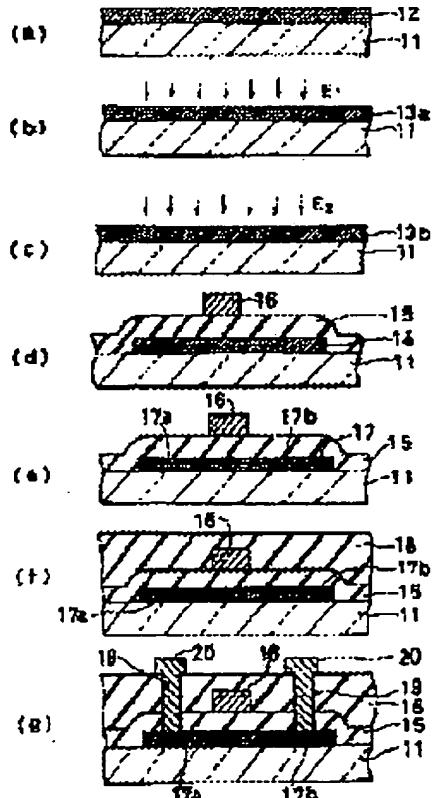
Patent number: JP6077131
Publication date: 1994-03-18
Inventor: ASAI ICHIRO; KATO SUKEJI
Applicant: FUJI XEROX CO LTD
Classification:
 - international: H01L21/20; H01L21/268; H01L21/02; (IPC1-7):
 H01L21/20; H01L21/268
 - european:
Application number: JP19920248642 19920825
Priority number(s): JP19920248642 19920825

[Report a data error here](#)

Abstract of JP6077131

PURPOSE: To reduce a variation of characteristics in a substrate while maintaining a high field-effect mobility by illumination with laser light having an energy density higher than a threshold energy density for phase transition from an amorphous semiconductor to a polycrystalline semiconductor.

CONSTITUTION: An amorphous silicon layer 12 is deposited on an insulating substrate 11. A poly-Si layer 13a is formed by illuminating the amorphous silicon layer 12 with excimer laser light having an energy density E1 higher than a threshold energy density for the phase transition. Then, another poly-Si layer 13b is formed by illumination with laser light having a further higher energy density E2. After an operation layer 14 is formed by patterning the poly-Si layer 13b, a gate insulating film 15 is formed by depositing SiO₂. Then, a gate electrode 16 is formed at a central portion. After a source region 17a and a drain region 17b are formed, an interlayer insulating film 18 is formed by depositing SiO₂. Next, contact holes 19 are opened, and a wiring 20 is formed by depositing and patterning Aluminum.



Data supplied from the [esp@cenet](#) database - Worldwide

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公報番号

特開平6-77131

(13)公開日 平成6年(1994)3月16日

(51) [Int.Cl.]²

識別記号

F I

H01L 21/30

9171-4M

21/263

Z 8617-4M

審査請求 未請求 請求項の数? (全7頁)

(21)出願番号 特願平4-248642

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(22)出願日 平成4年(1992)8月25日

(72)発明者 浅井 市郎

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 加藤 奥司

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

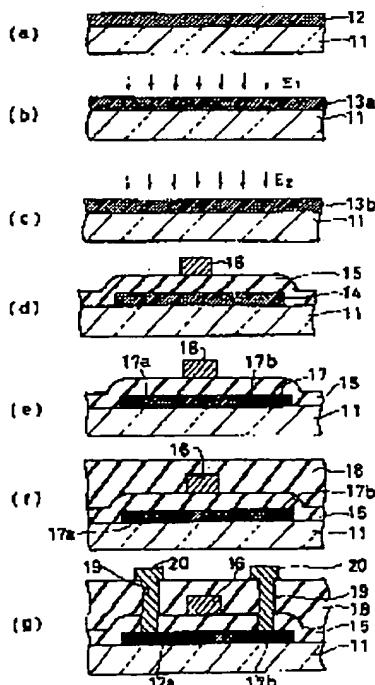
(74)代理人 弁理士 阪本 清革 (外1名)

(54)【発明の名称】半導体素子の製造方法

(57)【要約】

【目的】非晶質半導体層をアニールして多結晶半導体層を形成する半導体素子の製造方法において、半導体素子の特性の向上及び均一性を図る。

【構成】非晶質半導体(アモルファンシリコン)から多結晶半導体(多結晶シリコン)に相転移するに必要なしきい值エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、非晶質半導体層をアニールして該層中に1000オングストローム以下の多数の微小結晶核を形成し、前記エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、前記結晶核内外の欠陥を溶解させ、前記結晶核により粒径を強制的に小さく均一化して、半導体素子の特性の向上及び均一性を図る。



【特許請求の範囲】

【請求項1】 絶縁基板上に堆積した非晶質半導体層をレーザの照射により結晶化させて多結晶半導体層を得る工程を具備する半導体素子の製造方法において、前記非晶質半導体層をレーザの照射により多結晶化する際に、非晶質半導体から多結晶半導体に相転移するに必要なしきい値エネルギー密度E_cより高く、且つ粒径が100オングストローム以下となる多数の結晶核が形成されるエネルギー密度E_dで非晶質半導体層をアニールする第1の工程と、前記エネルギー密度E_dより高いエネルギー密度E_{d'}で前記結晶核が形成された多結晶半導体層を再度アニールし第1の工程で準備された結晶核内外の欠陥を溶融する第2の工程とを有し、前記エネルギー密度E_{d'}は第1の工程で形成された全ての結晶核を完全に再溶融する大きさより小さいことを特徴とする半導体素子の製造方法。

【請求項2】 絶縁基板上に堆積したアモルファスシリコン層をエキシマレーザの照射により結晶化させて多結晶シリコン層を得る工程を具備する半導体素子の製造方法において、前記アモルファスシリコン層をレーザの照射により多結晶化する際に、アモルファスシリコンから多結晶シリコンに相転移するに必要なしきい値エネルギー密度E_cより大きいエネルギー密度E_dでアモルファスシリコン層をアニールし、粒径が10オングストローム以上1000オングストローム以下となる結晶核を形成する第1の工程と、前記エネルギー密度E_dより大きく且つ第1の工程で形成された全ての結晶核を完全に再溶融する大きさより小さいエネルギー密度E_{d'}で結晶核が準備された多結晶シリコン層を再度アニールし、前記結晶核内外の欠陥を溶融する第2の工程と、を有することを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜プロセスで積層形成される半導体素子の製造方法に係り、特に、大面積上に堆積された非晶質半導体層上に紫外線を照射させ、アニールすることにより結晶化させて多結晶半導体層を得る際のアニールの方法に関する。

【0002】

【従来の技術】 近年、大型で高解像度の液晶パネルや、高速で高解像度の密着型イメージセンサへの要求が高まるにつれ、大面積の絶縁基板上に薄膜トランジスタ(TFT)を高性能かつ均一に作製することが望まれている。歪点温度は低いが安価で大面积化が容易なガラス基板にTFTを作製する場合、TFTの動作回路となる多結晶シリコン(poly-Si)層を形成する方法として、例えば、ガラス基板上にアモルファスシリコン層を堆積し、このアモルファスシリコン層をパルスレーザーであるエキシマレーザーでアニールして多結晶シリコンを得る方法が提案されている(Extended Abstracts of the 1991

10

20

30

40

50

International Conference on Solid State Devices and Materials, 1991, pp623)。上記方法によれば、紫外線で高エネルギーであるが短いバルス幅(20nscc)のビームを射出できるエキシマレーザー(例えば、KrFなら発振波長248nm)を用いるため、膜内の欠陥を少なくてきめ細かに基板に熱ダメージを与えてくいので、熱耐点の低いガラス基板を絶縁性基板として使用でき且つ高性能なTFTを実現できるという利点がある。

【発明が解決しようとする課題】

【0003】 上記方法によると、レーザーを照射する際にそのエネルギー密度により多結晶シリコンの粒径が変化するという性質を有する。通常は、多結晶シリコンの粒径を大きくして良好な電界効果移動度μを得るために、比較的大きい450mJ/cm²程度のエネルギー密度のレーザーで照射が行なわれるが、この場合、多結晶シリコン層の表面平坦性が悪化してTFT特性が十分でなかったり、また、膜における特性のばらつきが生じ易くなるので、シフトレジスタ等の駆動回路の設計や作成に悪影響を及ぼすという問題点があった。また、多結晶シリコン層の表面平坦性を良好とするため、低いエネルギー密度のレーザーで照射を行なうと、今度は電界効果移動度μが小さくなり特性が良好なTFTを得ることができない。

【0004】 本発明は上記実情に鑑みてなされたもので、高い電界効果移動度μを維持しつつ特性が基板内にばらつくことが少ない多結晶半導体層の製造方法を提供することを目的としている。

【0005】

【課題を解決するための手段】 上記従来例の問題点を解決するため請求項1の発明は、絶縁基板上に堆積した非晶質半導体層をレーザの照射により結晶化させて多結晶半導体層を得る工程を具備する半導体素子の製造方法において、前記非晶質半導体層をレーザの照射により多結晶化する際に、次のような工程で行なうこととを特徴としている。第1の工程として、非晶質半導体から多結晶半導体に相転移するに必要なしきい値エネルギー密度E_cより大きく、且つ粒径が1000オングストローム以下となる多数の結晶核が形成されるエネルギー密度E_dで非晶質半導体層をアニールする。第2の工程として、前記エネルギー密度E_dより大きいエネルギー密度E_{d'}で前記結晶核が形成された多結晶半導体層を再度アニールし、第1の工程で準備された結晶核内外の欠陥を溶融する。また、前記エネルギー密度E_{d'}は、第1の工程で形成された全ての結晶核を完全に再溶融する大きさより小さくする。

【0006】 請求項2の発明は、絶縁基板上に堆積したアモルファスシリコン層をエキシマレーザの照射により結晶化させて多結晶シリコン層を得る工程を具備する半導体素子の製造方法において、前記アモルファスシリコ

ン層をレーザー光照射により多結晶化する際に、次のような工程を行なうことを特徴としている。第1の工程として、アモルファスシリコンから多結晶シリコンに相転移するに必要なしきい値エネルギー密度E₁より大きいエネルギー密度E₂でアモルファスシリコン層をアニールし、粒径が100オングストローム以上1000オングストローム以下となる結晶核を形成する。第2の工程として、前記エネルギー密度E₁より大きく且つ第1の工程で形成された全ての結晶核を完全に再溶融する大きさより小さいエネルギー密度E₃で結晶核が準備された多結晶シリコン層を再度アニールし、前記結晶核内外の欠陥を消滅する。

【0007】

【作用】本発明によれば、非晶質半導体（アモルファスシリコン）から多結晶半導体（多結晶シリコン）に相転移するに必要なしきい値エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、非晶質半導体層をアニールして該層中に1000オングストローム以下の多数の微小結晶核を形成する。

【0008】前記工程で作製された多結晶半導体層（poly-Si層）には、結晶核内部及び境界において欠陥が多く存在する。そして、前記エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、前記結晶核内外の欠陥を消滅する。この時、エネルギー密度E₂を、第1の工程で形成された全ての結晶核を完全に再溶融する大きさより小さくしたので、第1の工程で形成された結晶核自体はほとんど焼けず、この核が律速因子となり粒径が強制的に小さく均一化される。

【0009】

【実施例】本発明の一実施例について図1及び図2を参照しながら説明する。ガラス等の絶縁性基板11上にLPCVD法等により1000オングストローム程度の膜厚のアモルファスシリコン（a-Si）層12を堆積し（図1(a)）、a-Siからpoly-Siに相転移するに必要なしきい値エネルギー密度E₁より大きいエネルギー密度E₂を有するエキシマーレーザーを照射することにより2-Siのアニールを行ない、多数の結晶核を有するpoly-Si層13aを形成する（図1(b)）。統いて、エネルギー密度E₁より大きいエネルギー密度E₂を有するエキシマーレーザーを照射し、エネルギー密度E₂のエキシマーレーザーを照射することにより形成された前記結晶核内外の欠陥を溶融除去し、結晶性が良好なpoly-Si層13bを形成する（図1(c)）。この時、エネルギー密度E₂を、前記工程で形成された全ての結晶核を完全に再溶融する大きさより小さく設定することにより、前記工程で形成された結晶核は焼けず、この核の粒径によりpoly-Siの粒径が決まるので強制的に小さく均一化させることができる。エキシマーレーザーは、KrF(248nm発振)で、パルス幅20nsec、ビームの大きさは7×7mm²、ビーム内のエネルギー均一性は

±5%以下のものを使用した。また、この場合のしきい値エネルギー密度E₁は170mJ/cm²であった。

【0010】次に、前記poly-Si層をフォトリソ法により島状にパターニングして動作層14を形成し、統いてLPCVD法により1000オングストロームのSiO₂を全面に堆積してゲート絶縁膜15を形成する。そして、前記動作層14の路中央部に対応するゲート絶縁膜15上にLPCVD法により3000オングストロームのpoly-Siを堆積し、パターニングしてゲート電極16を形成する（図1(d)）。ゲート電極16をマスクとしてイオン注入によりドーパントを注入し、ソース部17a及びドレイン部17bを形成し（図1(e)）、LPCVD法により7000オングストロームの膜厚にSiO₂を堆積して層間絶縁膜18を形成する（図1(f)）。

イオン注入する際、nチャネルTFTとした部分にはリン（P）を、pチャネルTFTとした部分にはホウ素（B）を注入した。次に層間絶縁膜18をパターニングして前記ソース部17a及びドレイン部17bに対応する位置にコンタクト孔19を開口し、水素化処理を350℃にて行なった後、Alを堆積及びパターニングして配線20を形成し、薄膜トランジスタを作製する（図1(g)）。

【0011】次に、上記TFTの製造方法において、特性が良好であり且つ均一化が図れるTFTを得るためのエネルギー密度E₁及びエネルギー密度E₂についての検討を行なった。上記方法により得られたnチャネルTFT及びpチャネルTFTの移動度のバラツキについて、エネルギー密度E₁を450mJ/cm²に固定したときのエネルギー密度E₂依存性について測定したグラフを図2に示す。図2におけるエネルギー密度E₁～0mJ/cm²が従来例に相当するものである（单一のエネルギー密度E₁でアニールを行なう）。上記実施例の場合、しきい値エネルギー密度E₁は約170mJ/cm²であるが、エネルギー密度E₂が270mJ/cm²を越える付近から急激に移動度が均一化し、従来にない均一性が得られることが確認できる。

【0012】次に、nチャネルTFT及びpチャネルTFTの移動度のバラツキについて、エネルギー密度E₁を270mJ/cm²に固定したときのエネルギー密度E₂依存性について測定したグラフを図3に示す。このグラフによると、エネルギー密度E₂の増加とともに移動度の特性は向上するが、エネルギー密度E₂が20mJ/cm²のように大きすぎると均一性が悪化する。従って、エネルギー密度E₂としては、400～500mJ/cm²程度が適当であることが解る。

【0013】上記実施例では、エネルギー密度E₁による第1のアニールで多数の結晶核を形成し、エネルギー密度E₁より大きいエネルギー密度E₂により第2のアニールを行ない、前記結晶核内外の欠陥を除去する。第2のアニールで消滅しない程度の核とするためには、第1

のアーニールにおいて、核の大きさを10オングストローム以上とする必要がある。小さすぎる核を保持するためには、より低いエネルギー密度E₁を使用することも考えられるが、その場合、膜中欠陥が溶融除去されずに良好なTFT特性を得ることができない。また、核が大きすぎると膜の表面平坦性が劣化し、しきい値電圧等のTFT特性を悪化させるので、核の大きさは1000オングストローム以下である必要がある。また、エネルギー密度E₁が大きすぎると核の大小によらず全ての核を完全消滅し、E₁=0の従来と同じく不均一な膜質となってしまう。エネルギー密度E₁が20mJ/cm²以上であると上記現象が生じる。

【0014】表面平坦性は第1のアーニールのエネルギー密度E₁に大きく依存するので、エネルギー密度E₁を±5.0mJ/cm²に固定し、表面平坦性のエネルギー密度E₁依存性について原子間力顕微鏡で測定した。その結果を図4に示す。表面平坦性は、アーニールされたpoly-Si層の最も低い位置を基準面とし、この基準面との高低差により定義した。測定においては、アーニールされたpoly-Si層において、任意に選択した2μm×2μmの面積部分（3つ若しくは4つの位置）での前記基準面との高低差を各エネルギー密度E₁毎に2万点程度測定し、その平均値を図4に表示したものである。図ではエネルギー密度E₁=0が従来法に相当する。E₁=0あるいはE₁が小さい場合は、E₁で生じる核が小さすぎてE₁照射時に消滅してしまい、ステップ的にアーニールする効果が現れない。また、エネルギー密度E₁が大きすぎると、次に述べる図5の関係から最終的な膜の平坦性が

劣化してしまうので適当でない。図4より、各測定点での表面平坦性が均一となるエネルギー密度E₁は、2.40~3.80mJ/cm²程度であり、表面平坦性が低い値を示す且つ均一性に優れるのはエネルギー密度E₁が2.70mJ/cm²であることが確認できた。なお、別の比較からエネルギー密度E₁が2.70mJ/cm²の条件において、平坦性のみならず粒径も最も均一になっていることがわかった。エキシマレー・ザーのエネルギー密度E₁は2.70mJ/cm²に対応するグレインサイズは200オングストロームとなり、この粒径を有する多結晶シリコン層を有するTFTが良好な特性を有し、且つ特性の均一化を図ることができるわけである。また、第2のアーニールのエネルギー密度E₁は、第1のアーニールで形成された結晶核を完全に再溶融してしまう大きさより小さくする必要があり、第1のアーニールのエネルギー密度E₁を2.70mJ/cm²とした場合、エネルギー密度E₁は±5.0mJ/cm²程度となる。

【0015】以上のことから上記実施例における最適なエネルギー密度E₁及びエネルギー密度E₂として、E₁=2.70mJ/cm²、E₂=4.50mJ/cm²を選択し、nチャネルTFT及びpチャネルTFTの作製を行なったところ、特性の均一化が図れるとともに、移動度μ、しきい値電圧VTH、最小リーア電流IMIN(pA)として次のような良好な値を得ることができた（TFTのサイズは、ゲート幅/ゲート長=5.0μm/1.0μmである）。

nチャネルTFT pチャネルTFT

移動度μ (cm ² /V·S)	5.7	4.5
しきい値電圧VTH (V)	0.8	-2.7
最小リーア電流IMIN (pA)	8	-2

記実施例では±2.0mJ/cm²以上）、準備した結晶核までも完全に再溶融してしまうので、従来の単一エネルギー密度のみを用いたアーニールと同じ結果になる。

【0016】ここで、移動度が均一化した場合のpoly-Si膜の粒径を透過電子顕微鏡で評価したところ、平均粒径は従来の約±10%に減少していたが、基板内の分布を見るときわめて粒径が均一化していることが確認できた。従って、上記実施例のように異なるエネルギー密度によりステップ的にアーニールを行なう場合、粒径の均一化により移動度が均一化することがわかる。

【0017】次に、本実施例方法による粒径の均一化の原理について説明する。最初のアーニールの際に照射されるレーザーのエネルギー密度E₁は、しきい値エネルギーE₁より大きいもののa-Siを完全に多結晶化させるには相対的には小さいため、アーニール後の膜中には多数の微小な結晶性の核が生じるとともに、アモルファスに近い欠陥が多数残存する。この状態において、大きなエネルギー密度E₁のレーザーを照射すると、膜内の欠陥は溶融除去されるが準備された多数の結晶核は焼けないので、この核により粒径が強制的に小さく均一化される。このとき、エネルギー密度E₁を大きくすると（上記実施例では±5.0mJ/cm²以上）、準備した結晶核までも完全に再溶融してしまうので、従来の単一エネルギー密度のみを用いたアーニールと同じ結果になる。

【0018】すなわち、アーニールは、図6(a)に示すように、レーザービームを基板上で移動させて行なうが、まんべんなく照射させるためビームのビームの…切の長さLの1割程度をオーバーラップさせて照射を行う。そのため、ビーム端のエネルギー減少部の影響やビーム内のエネルギーばらつき及び膜内に生じる温度勾配や温度ゆらぎがそのままpoly-Si膜の粒径に反映し、図7に示すように平均粒径は1500オングストロームと大きいがグレインの粒径にはばらつきを生じさせる（特に、オーバーラップ領域で他の部分に比較してグレイン径が極端に小さくなる）。これに対して異なるエネルギー密度によりステップ的にアーニールを行なう場合、図6(b)に示すように、既にエネルギー密度E₁(2.70mJ/cm²)でアーニールされた部分を再度エネルギー密度E₂(4.50mJ/cm²)でアーニールする。そのた

め、グレイン径はエネルギー密度が小さい1回目のアニールで決定されるので粒度は800オングストロームと小さくなるものの、2回目のアニールの際にビーム内のエネルギー密度のばらつきや温度ばらつきによるグレイン径のばらつきへの影響を受けることを助ぐ(図4に示すように、特にオーバーラップ領域におけるグレイン径の落ち込み幅が小さくなる)。以上から、エネルギー密度E₁は適当な大きさの核を準備して粒径や平坦性を均一化する役割を、エネルギー密度E₂は残存する欠陥を除去する役割をそれぞれ担っているといえる。

【0019】また、270mJ/cm²のエネルギー密度で単独アニールを行なった場合、270mJ/cm²及び450J/cm²のエネルギー密度で2回アニールを行なった場合、450mJ/cm²のエネルギー密度で単独アニールを行なった場合のそれについて、表面平坦性における分布について測定した結果を図8に示す。横軸の表面平坦性は、図4と同様に、アニールされたpoly-Si層の最も低い位置を基準面とし、この基準面との高低差とした。また、測定においては、アニールされたpoly-Si層において、任意に選択した2μm×2μmの面積部分(例えば3つ若しくは4つの位置)での前記基準面との高低差を各面積について3万点程度測定し、その数を分母として0~100(nm)の各高低差(表面平坦性)が占める割合を縦軸にとって表示したものである。図より、450mJ/cm²のエネルギー密度で単独アニールを行なった場合に比較して、270mJ/cm²及び450J/cm²のエネルギー密度で2回アニールを行なう場合の方が、高低差(表面平坦性)の分布の広がり幅が小さくなるとともに、高低差(表面平坦性)の平均値も図の左側にシフトしてその値を小さくし、表面平坦性の均一化が図れることを確認することができた。なお、270mJ/cm²のエネルギー密度で単独アニールを行なった場合、平坦性は良好であるが膜内の欠陥が多数存在するためTFTへの適用はできない。

【0020】上記実施例においては、半導体膜としてSiを使用した例について説明したが、Ge、SiGe、InSb等の半導体膜にも適用することができる。また、レーザーとしては、エキシマレーザーに限らずルビーレーザー等の他のパルスレーザーを用いてよい。ま

10

20

30

40

た上記実施例の場合、レーザーピームにより形成されたpoly-Si層はTFTの動作層として用いられたが、半導体装置やTFTのゲート電極や抵抗体にpoly-Si層を使用した場合、これらの作製の際に本実施例方法を適用してもよい。

【0021】

【発明の効果】本発明方法によれば、非晶質半導体(アモルファンシリコン)から多結晶半導体(多結晶シリコン)に相転移するに必要なしきい値エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、非晶質半導体層をアニールして該層中に1000オングストローム以下の多数の微小結晶核を形成し、前記エネルギー密度E₁より大きいエネルギー密度E₂のレーザー光を照射することにより、前記結晶核以外の欠陥を消融させて、前記結晶核により粒径が強制的に小さく均一化され、半導体素子の特性の向上及び均一性を図ることができる。

【図面の簡単な説明】

【図1】(a)ないし(g)は本発明方法の一実施例の製造プロセスを説明する工程図である。

【図2】実施例方法で得られるTFTの移動度のエネルギー密度E₁依存性を示すグラフ図である。

【図3】実施例方法で得られるTFTの移動度のエネルギー密度E₂依存性を示すグラフ図である。

【図4】実施例方法で得られる半導体膜の表面平坦性のエネルギー密度E₂依存性を示すグラフ図である。

【図5】a-Siを多結晶化させる際のグレインサイズのエネルギー密度E₂依存性を示すグラフ図である。

【図6】(a)及び(b)はレーザービームによるアニールを行なう場合の模式図である。

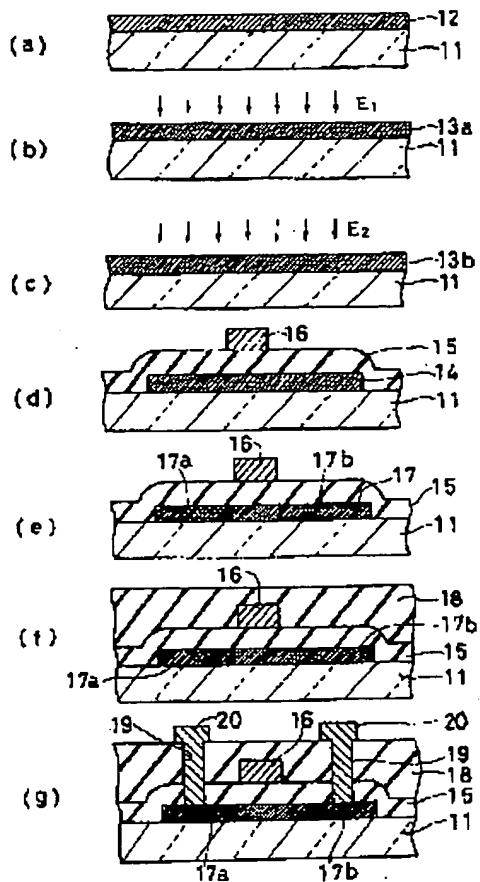
【図7】アニールを行なう場合のビーム位置とグレインサイズとの関係を示すグラフ図である。

【図8】アニールに際しての表面平坦性の分布を示すグラフ図である。

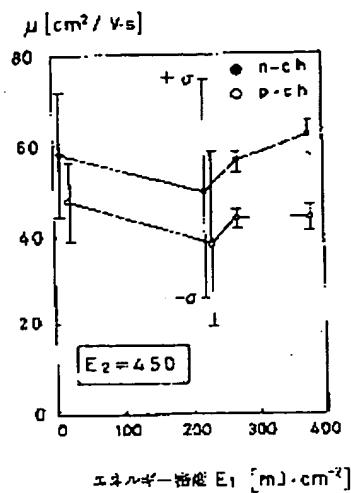
【符号の説明】

1.1…絶縁性基板、1.2…アモルファンシリコン層、
1.3…poly-Si層、1.4…動作層、1.5…ゲート絶縁膜、
1.6…ゲート電極、1.7a…ソース部、1.7b…ドレイン部、
1.8…漏間絶縁膜、1.9…コンタクト孔、2.0…配線

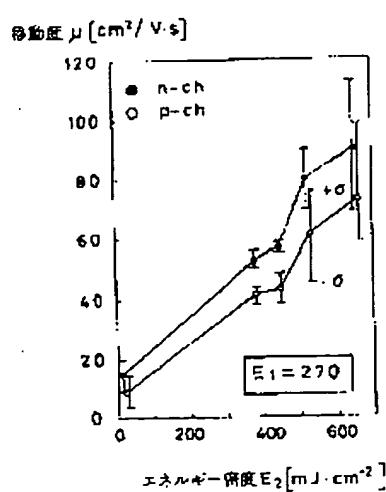
[図1]



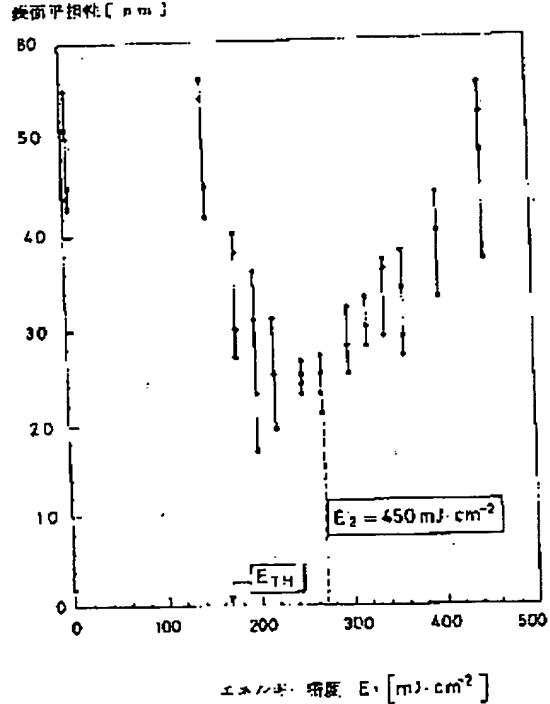
[図2]



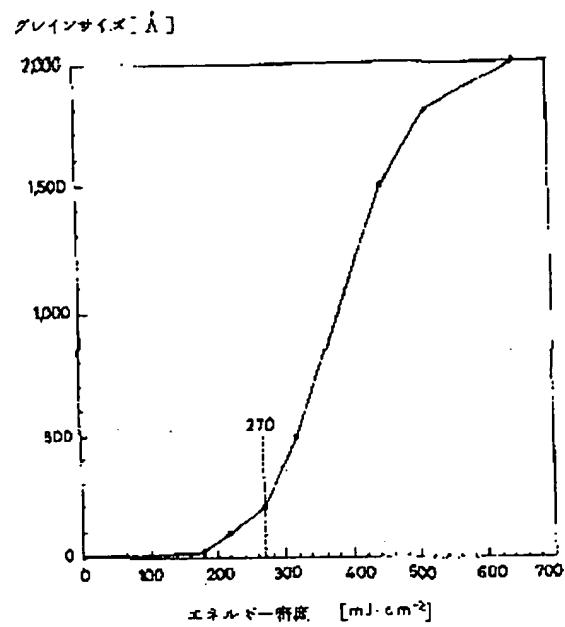
[図3]



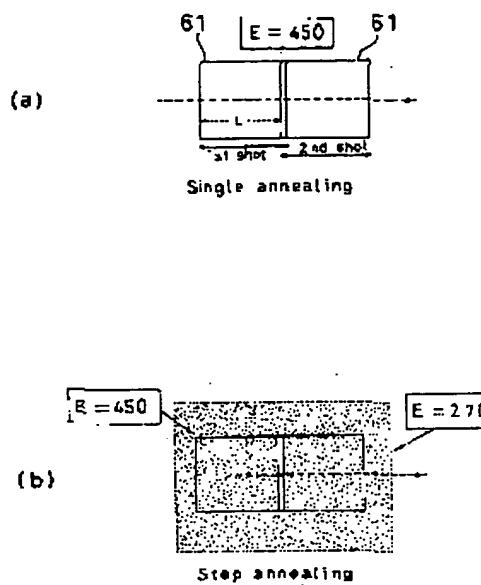
[図4]



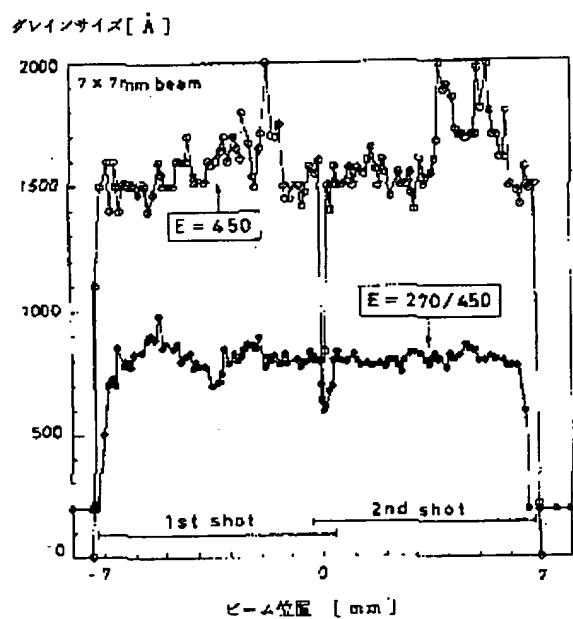
[図5]



[図6]



[図7]



[図8]

